仿真背景：

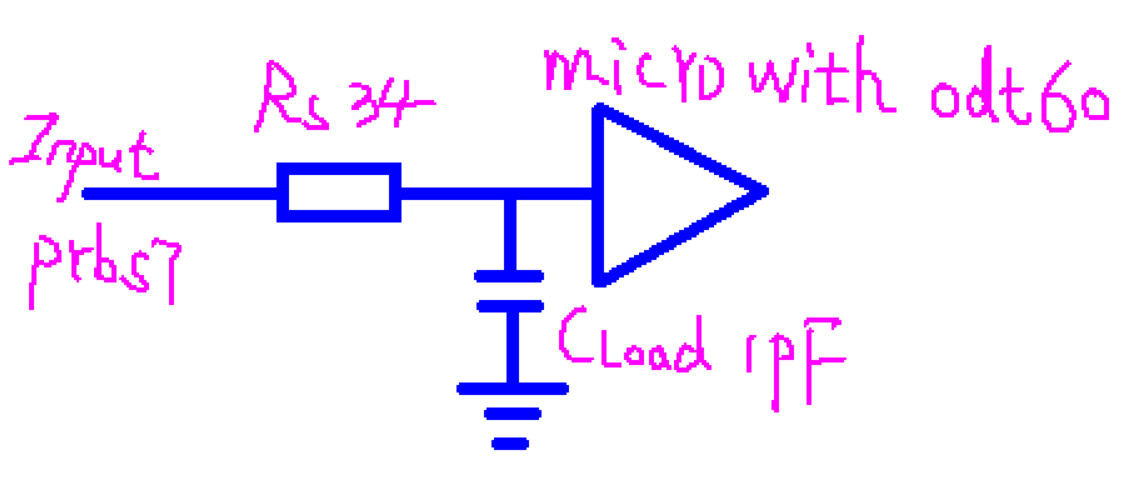
Write仿真得到的dram端眼图交叉点有点偏高，read仿真正常；

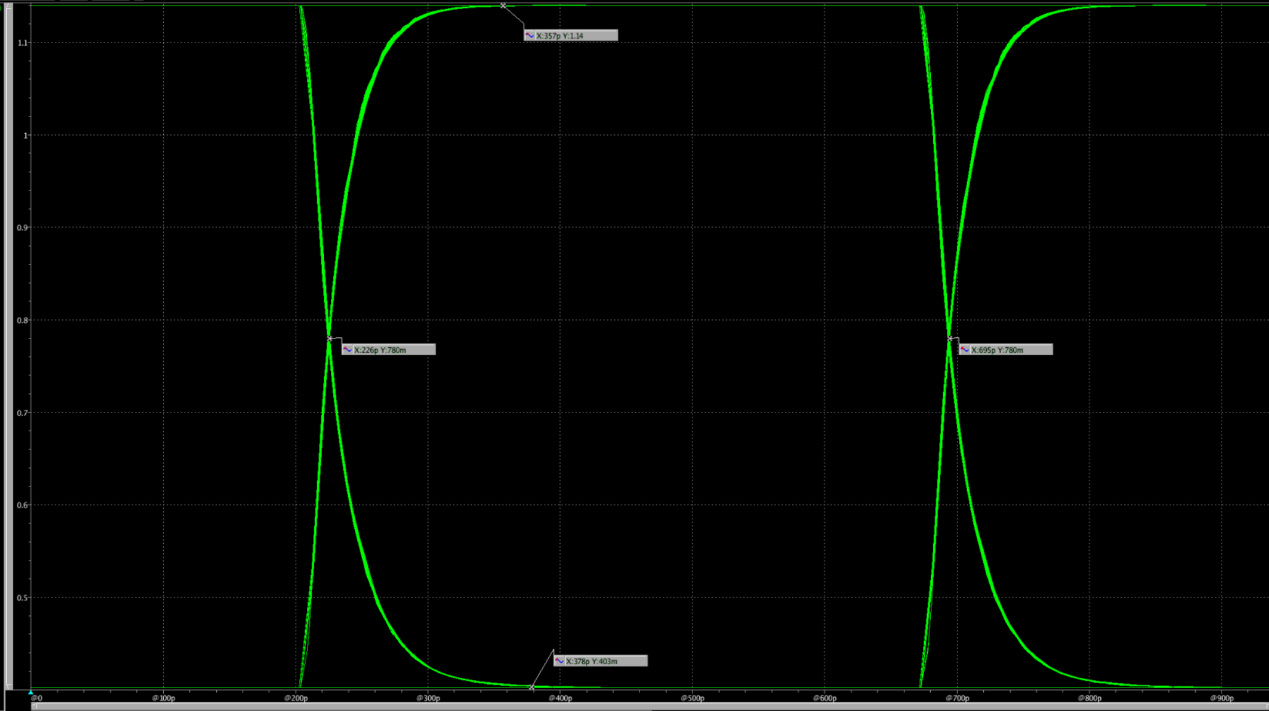
仿真目的：

探究write眼图偏的原因，弄清楚是由soc ddr phy io导致还是由dram io导致；

1，仿真拓扑：

信号源PRBS7、信号源内阻34ohm、电容负载1pF、micro dram with odt60、VDDIO 1.14V、Vrefdq为0.776V左右；



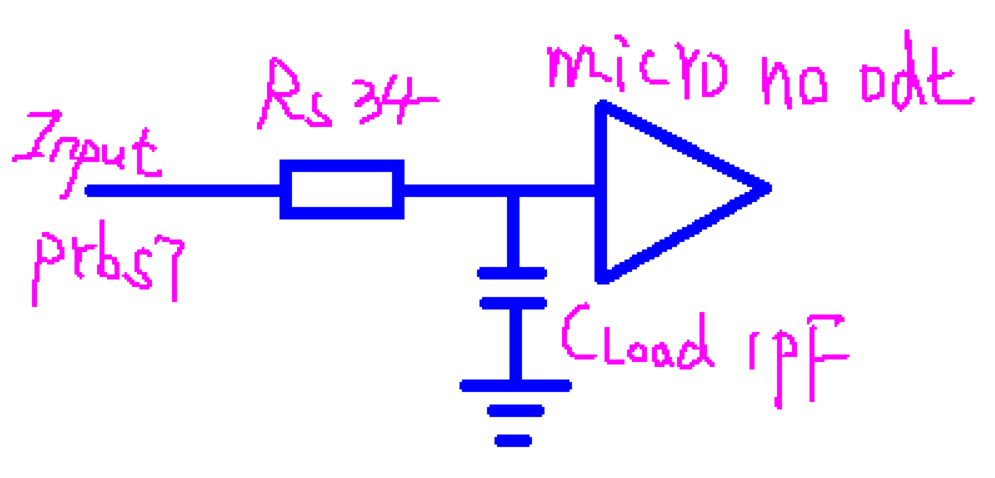


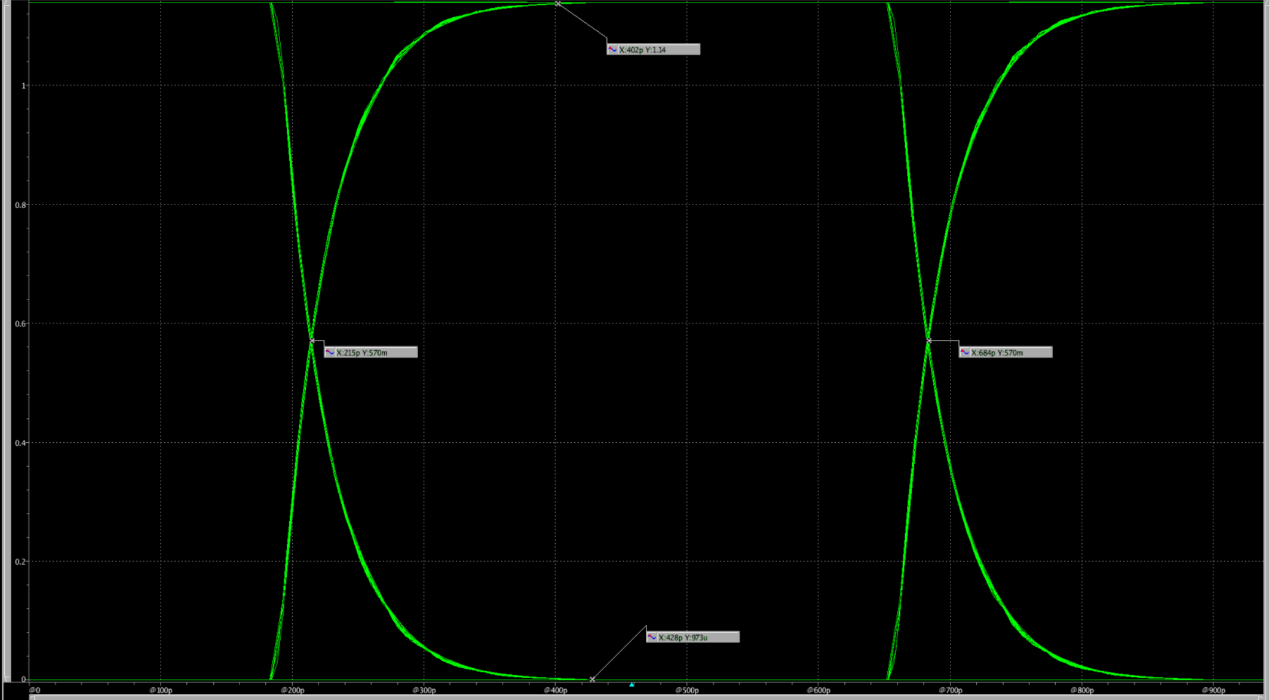
DQS触发眼图

低电平在0.4左右、高电平在1.14左右、交叉点在0.78V左右、符合预期；

2，仿真拓扑：

信号源PRBS7、信号源内阻34ohm、电容负载1pF、micro dram with no odt、VDDIO 1.14V、Vrefdq为0.57V左右；



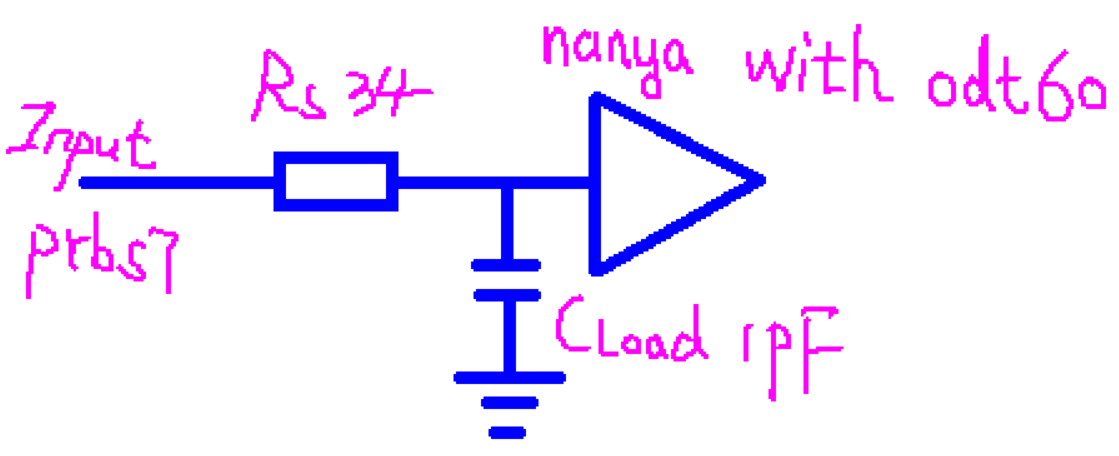


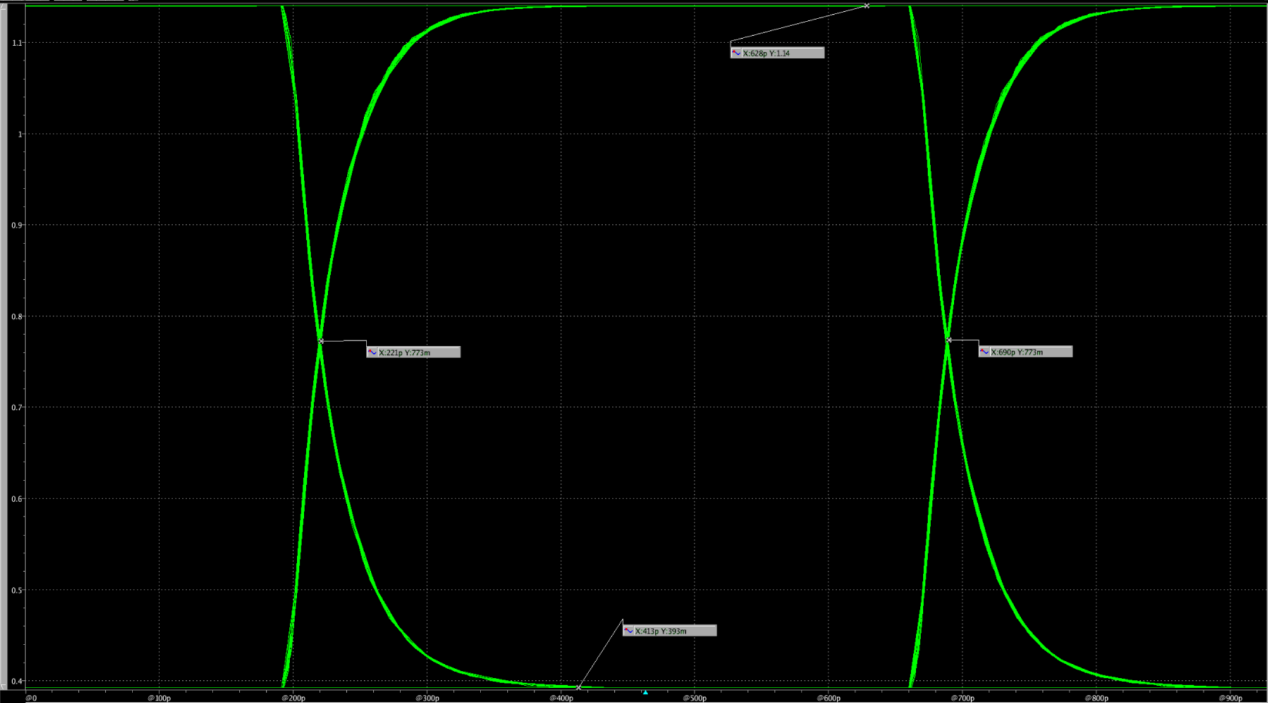
DQS触发眼图

低电平在0左右、高电平在1.14左右、交叉点在0.57V左右、符合预期；

3，仿真拓扑：

信号源PRBS7、信号源内阻34ohm、电容负载1pF、nanya dram with odt60、VDDIO 1.14V、Vrefdq为0.776V左右；



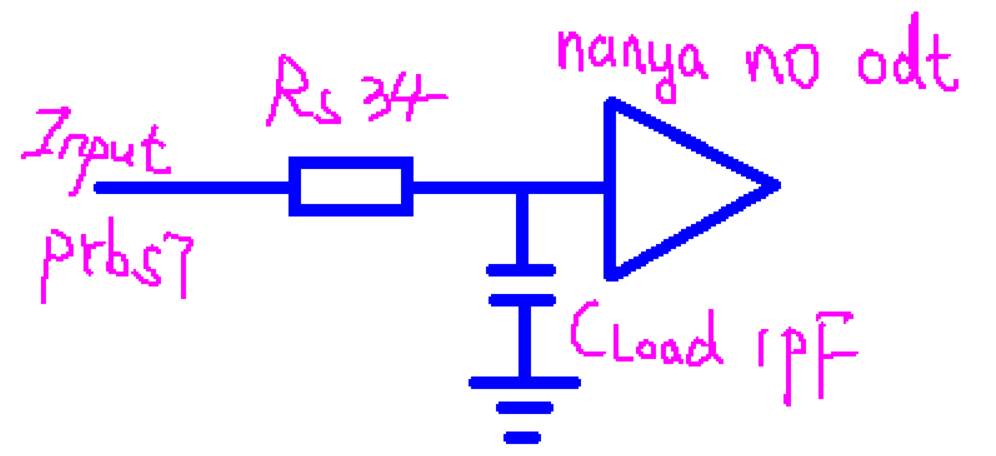


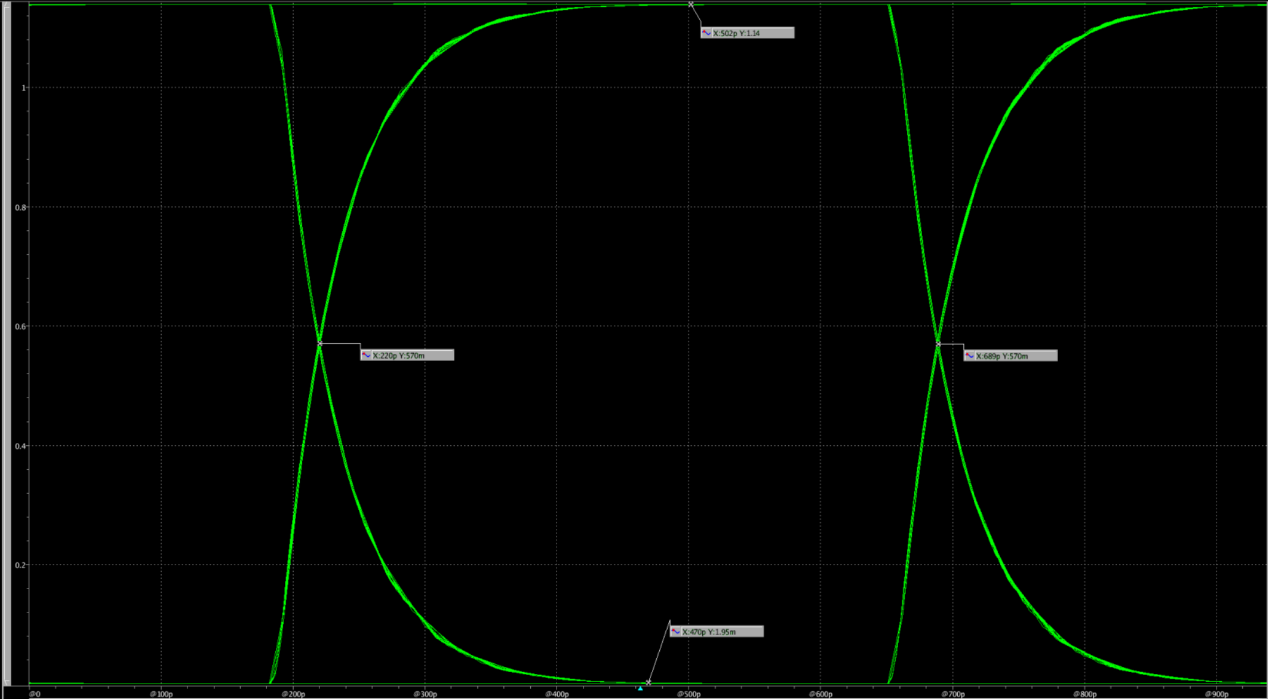
DQS触发眼图

低电平在0.4左右、高电平在1.14左右、交叉点在0.78V左右、符合预期；

4：仿真拓扑

信号源PRBS7、信号源内阻34ohm、电容负载1pF、nanya dram with no odt、VDDIO 1.14V、Vrefdq为0.57V左右；



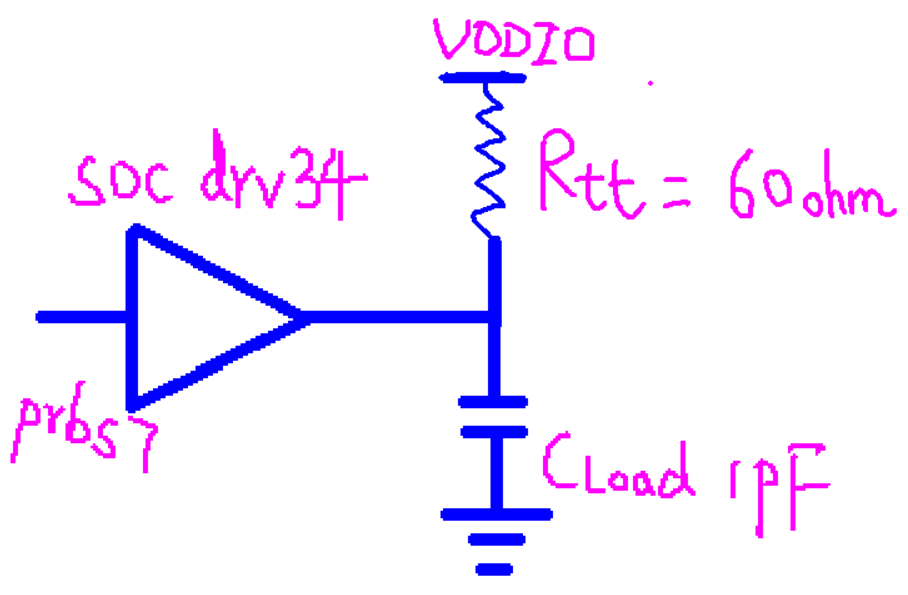


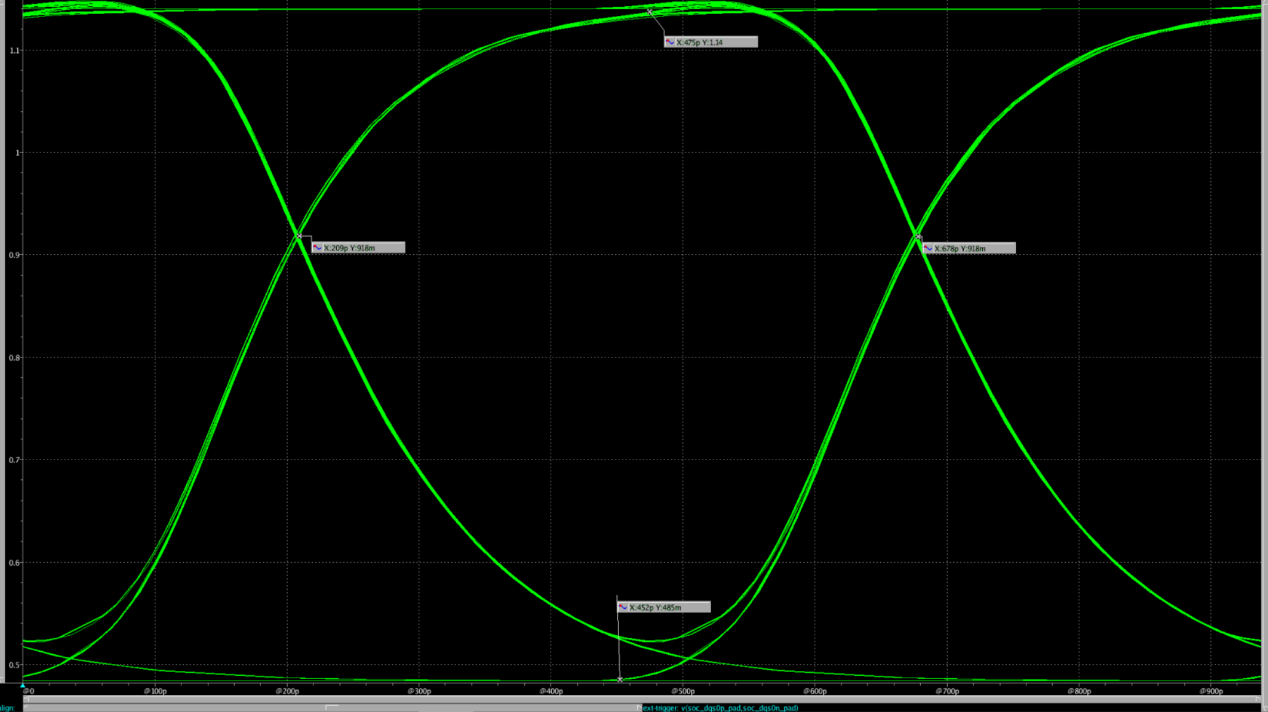
DQS触发眼图

低电平在0左右、高电平在1.14左右、交叉点在0.57V左右、符合预期；

5，仿真拓扑：

SOC driver34ohm、电容负载1pF、接上拉到VDDIO的60ohm电阻模拟理想odt60、VDDIO 1.14V、Vrefdq为0.776V左右；





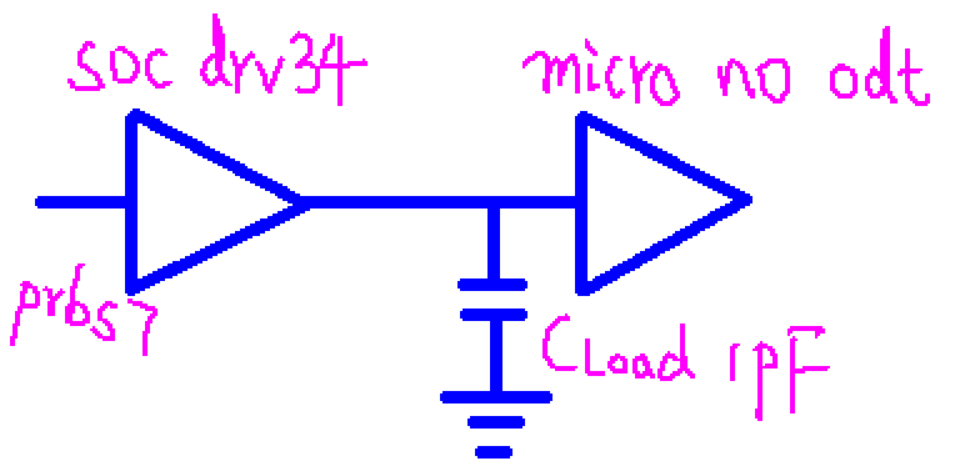
DQS触发眼图

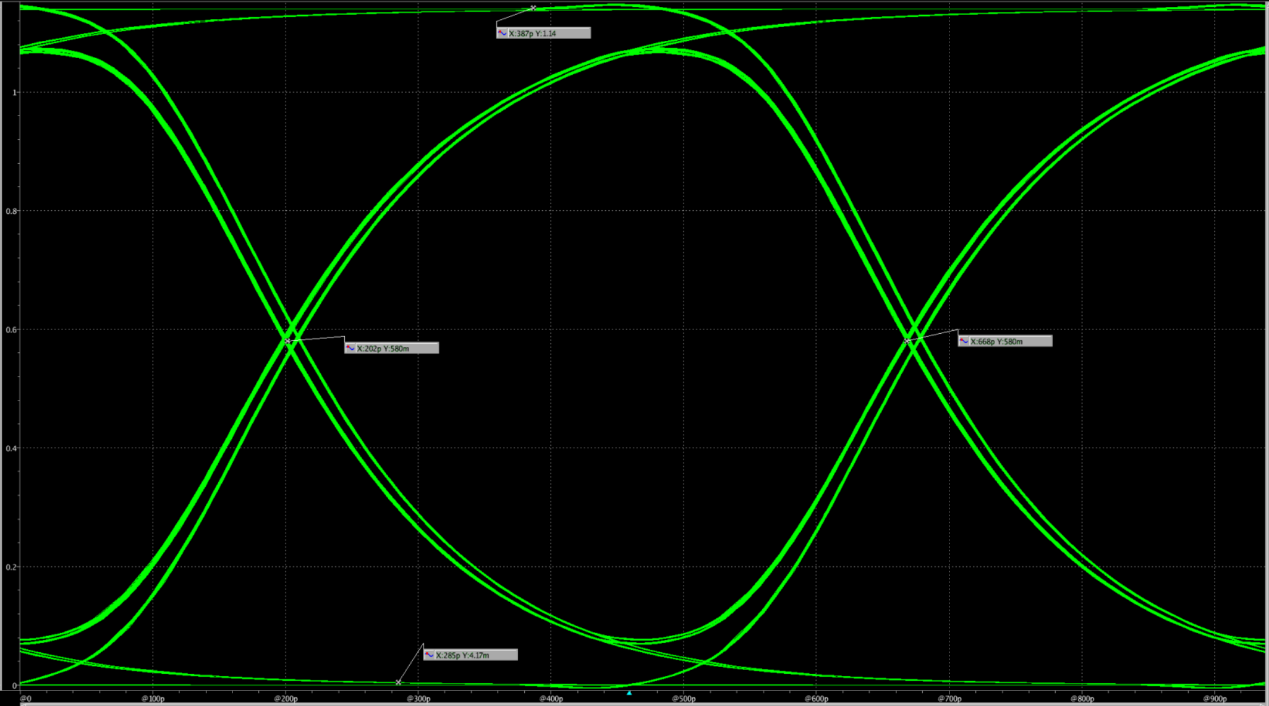
低电平在0.485左右、高电平在1.14左右、交叉点在0.918V左右、不符合预期；

交叉点比预期偏高140mV；

6，仿真拓扑：

SOC driver34ohm、电容负载1pF、micro dram with no odt、VDDIO 1.14V、Vrefdq为0.57V左右；



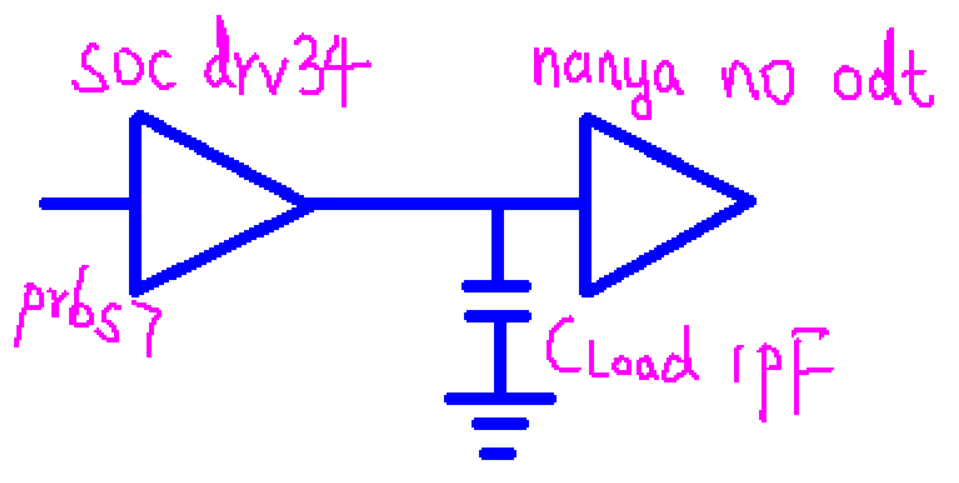


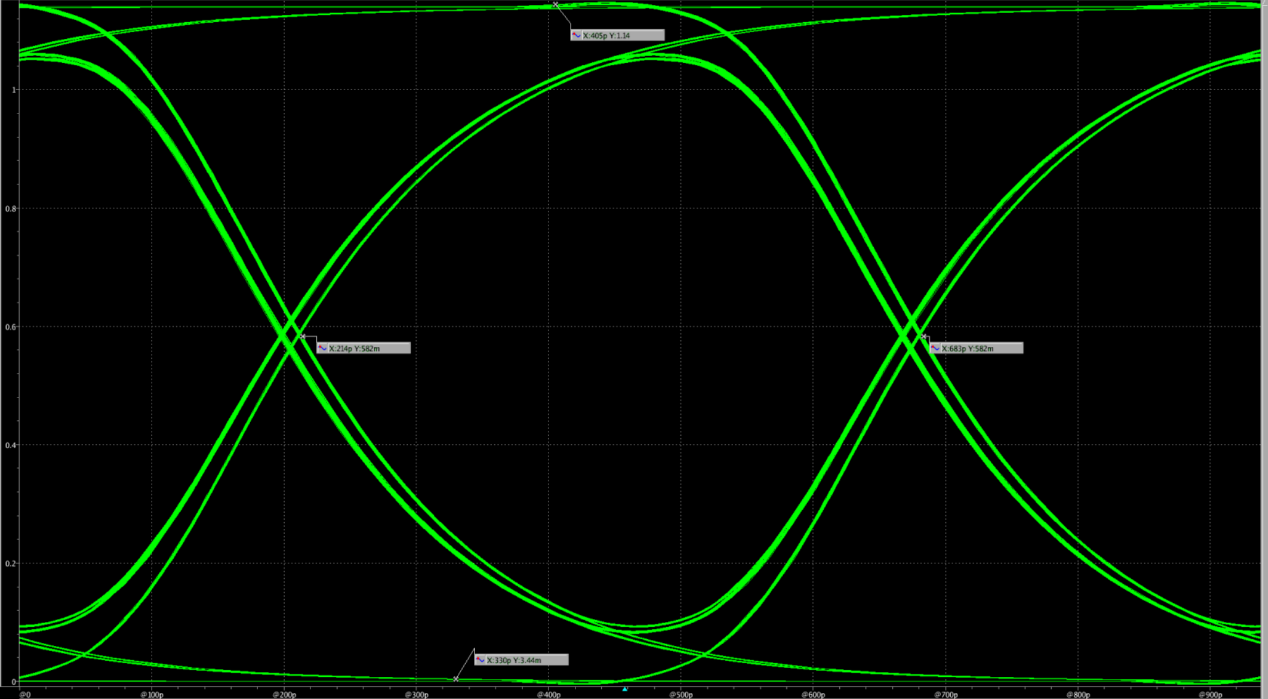
DQS触发眼图

低电平在0左右、高电平在1.14左右、交叉点在0.57V左右、符合预期；

7，仿真拓扑：

SOC driver34ohm、电容负载1pF、nanya dram with no odt、VDDIO 1.14V、Vrefdq为0.57V左右；



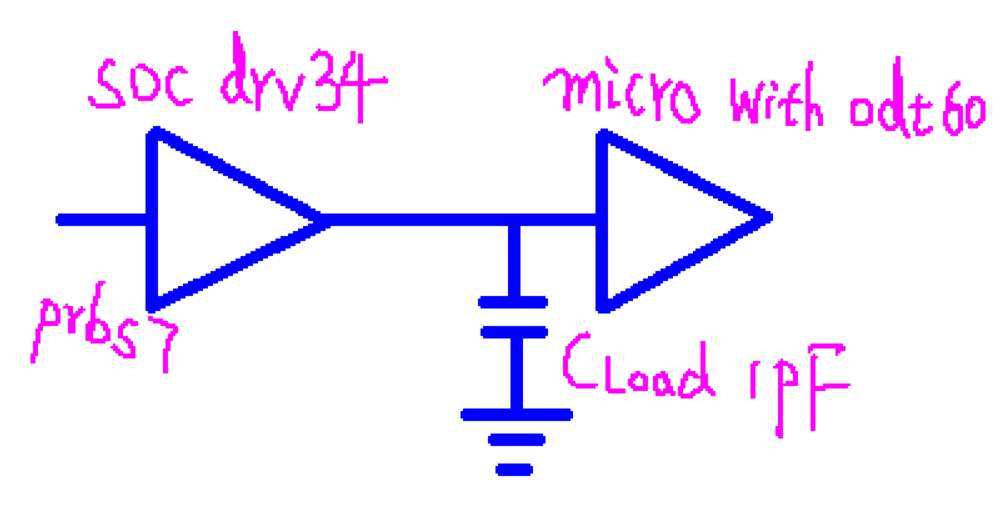


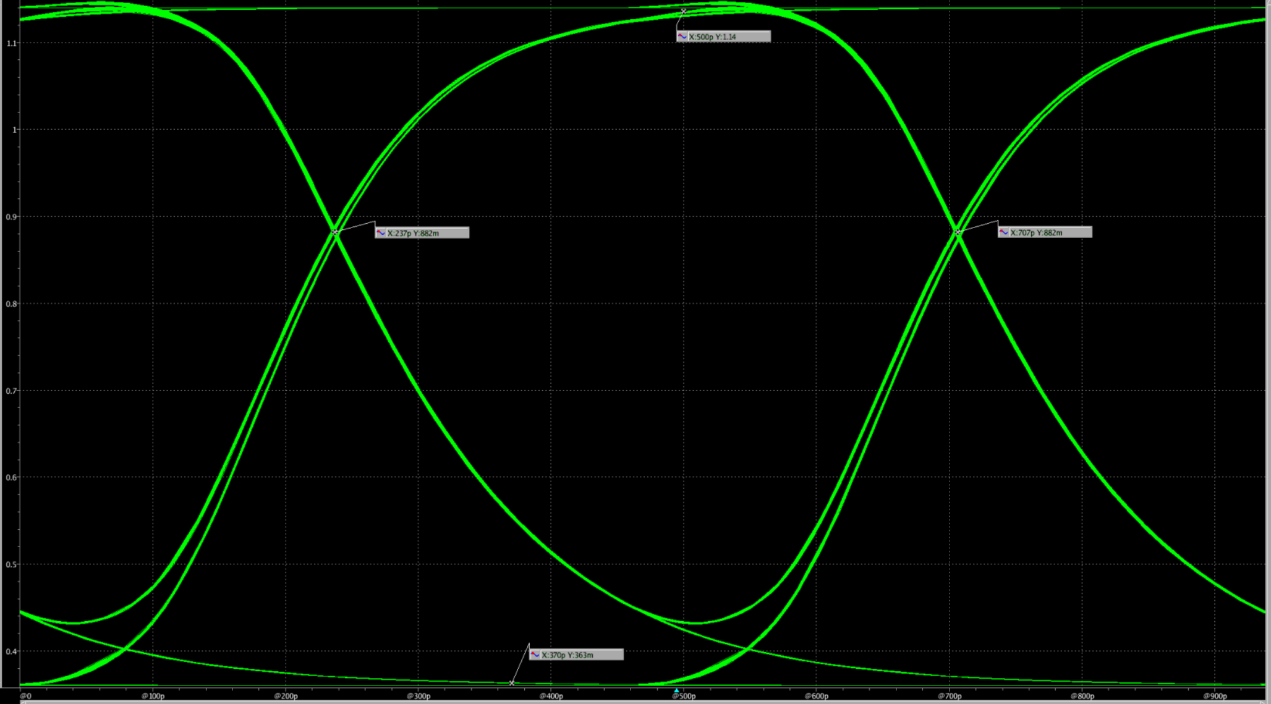
DQS触发眼图

低电平在0左右、高电平在1.14左右、交叉点在0.57V左右、符合预期；

8，仿真拓扑：

SOC driver34ohm、电容负载1pF、micro dram with odt60、VDDIO 1.14V、Vrefdq为0.776V左右；





DQS触发眼图

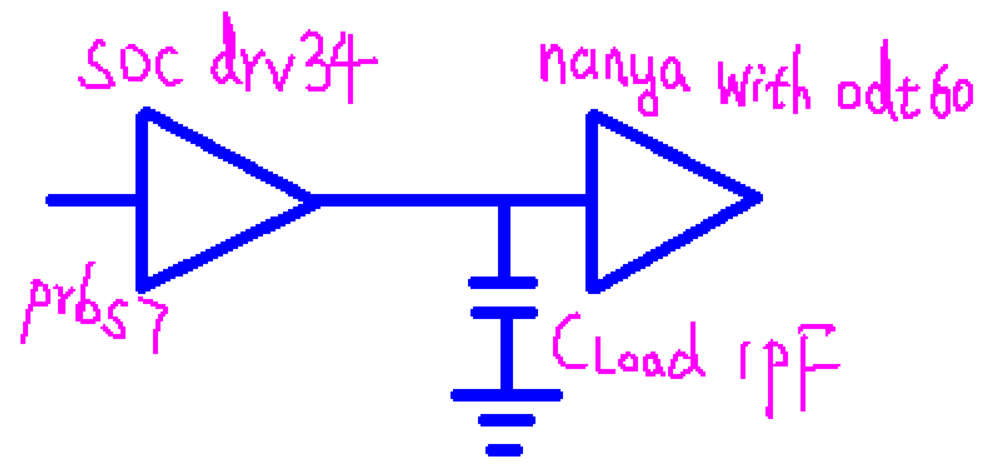
低电平在0.36左右、高电平在1.14左右、交叉点在0.882V左右、不符合预期；

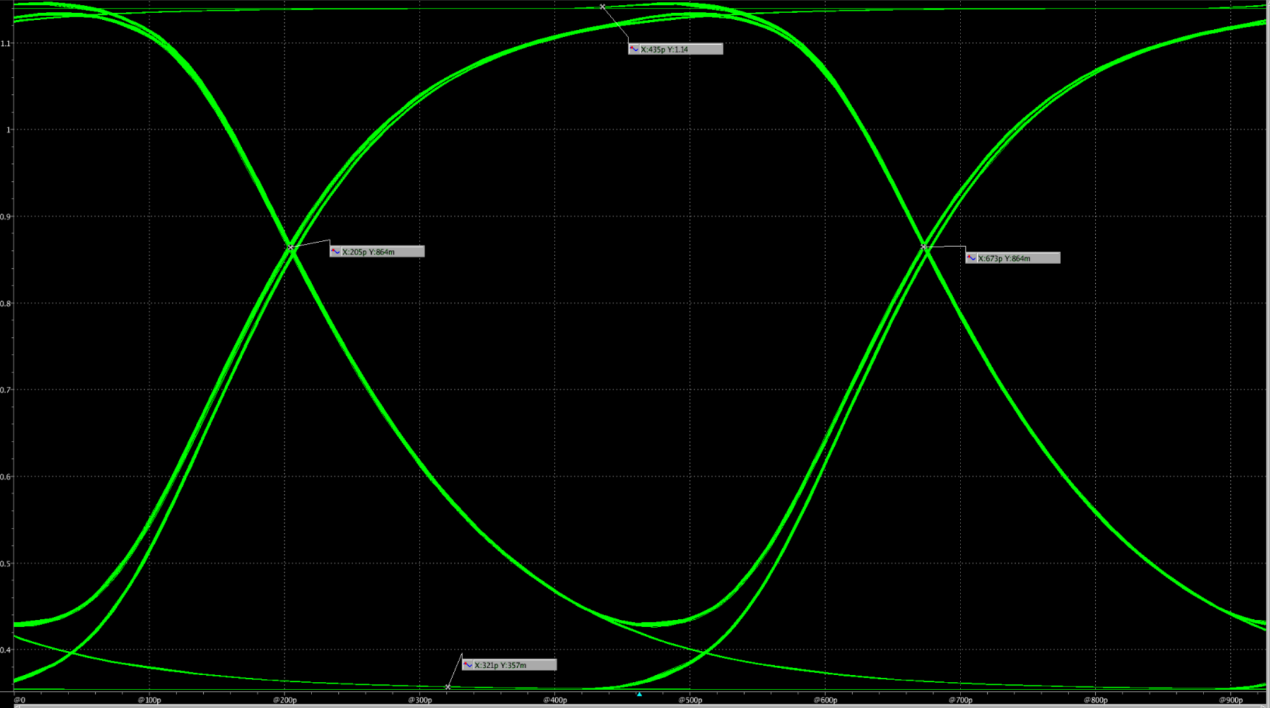
低电平比预期小了大概50mV；

交叉点比预期偏高110mV；

9，仿真拓扑：

SOC driver34ohm、电容负载1pF、nanya dram with odt60、VDDIO 1.14V、Vrefdq为0.776V左右；





DQS触发眼图

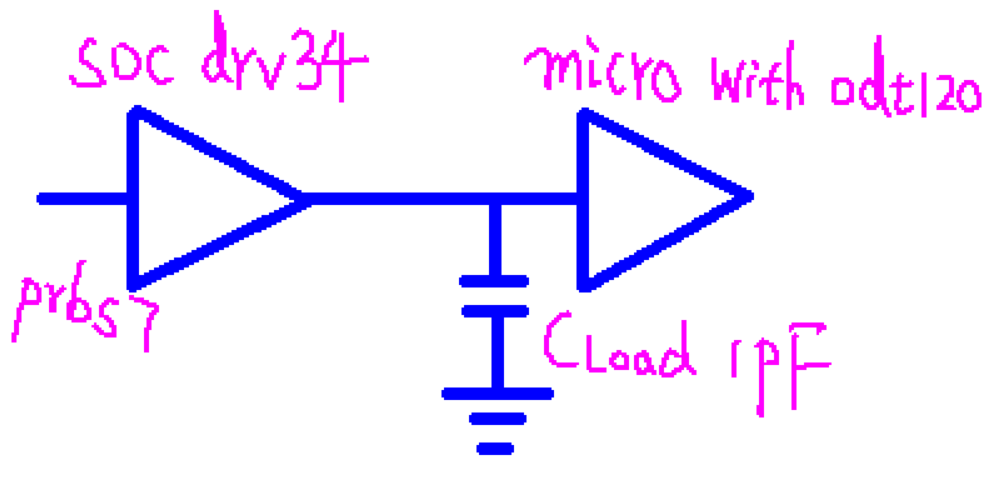
低电平在0.35左右、高电平在1.14左右、交叉点在0.865V左右、不符合预期；

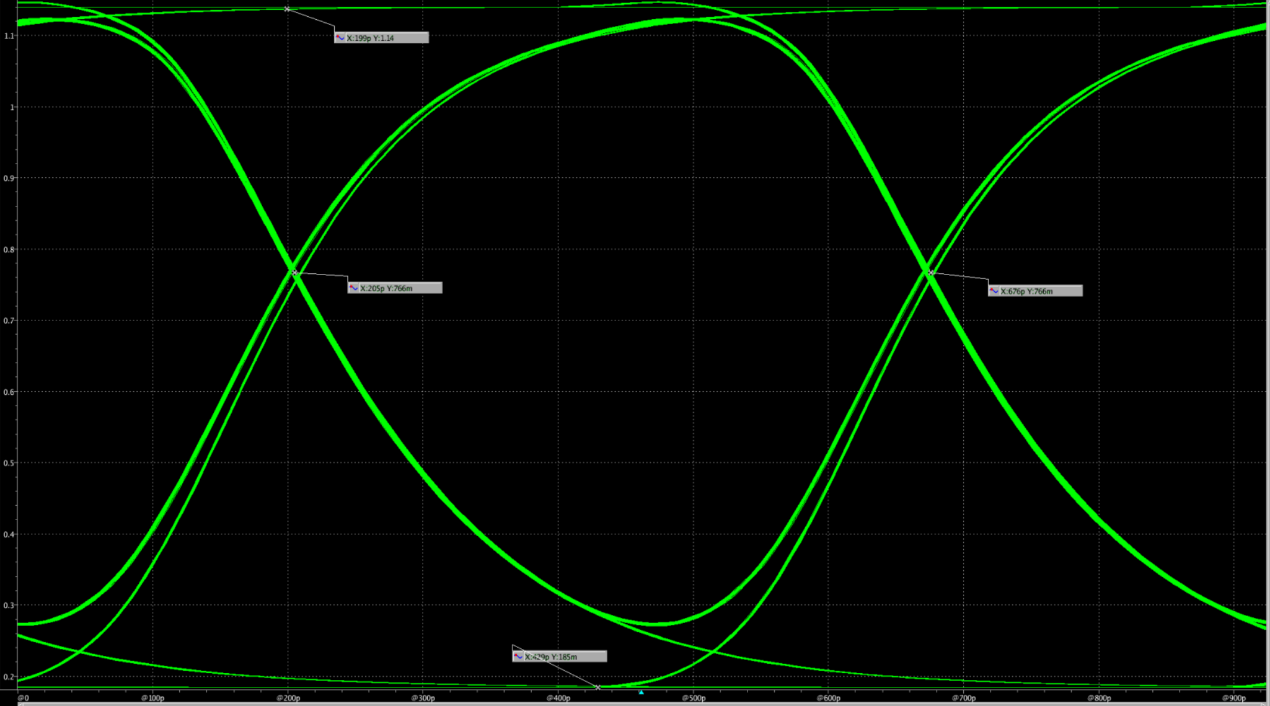
低电平比预期小了大概60mV；

交叉点比预期偏高90mV；

10，仿真拓扑：

SOC driver34ohm、电容负载1pF、micro dram with odt120、VDDIO 1.14V、Vrefdq为0.7V左右；





DQS触发眼图

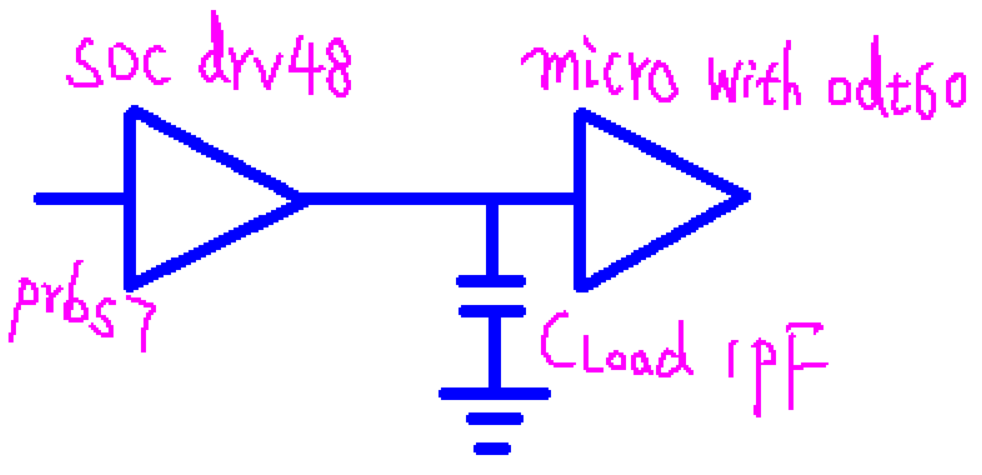
低电平在0.185左右、高电平在1.14左右、交叉点在0.766V左右、不符合预期；

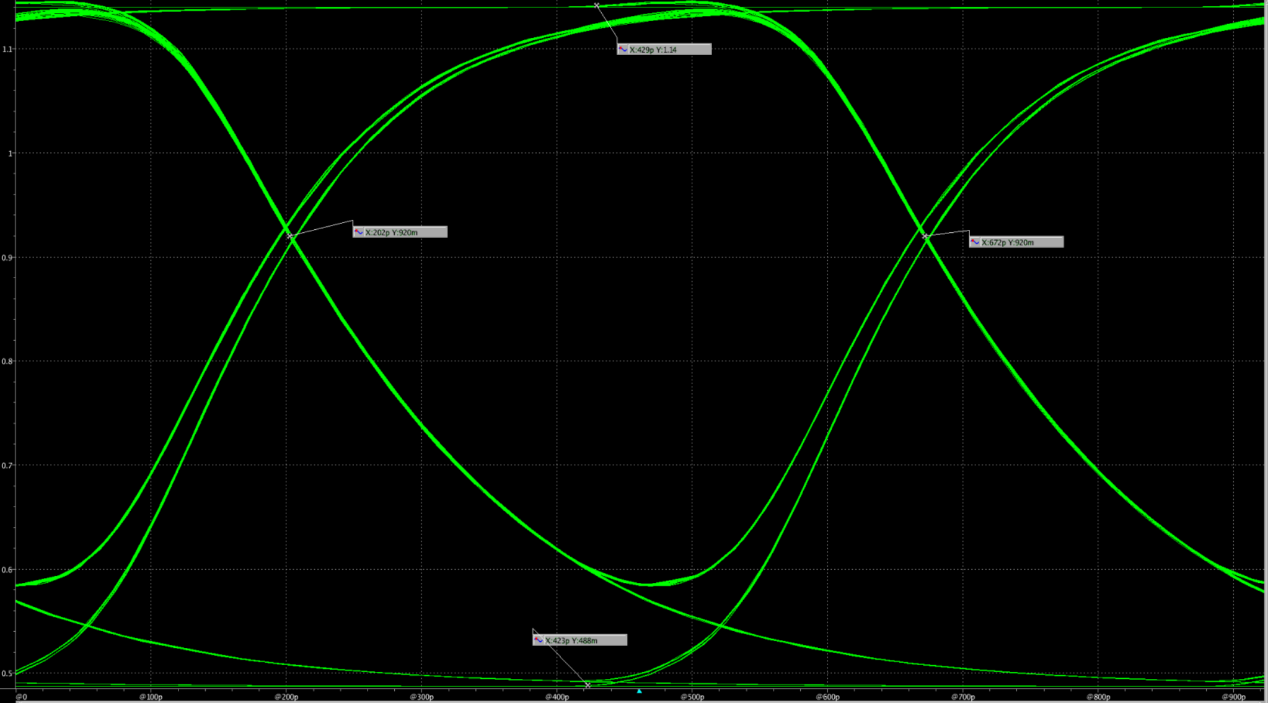
低电平比预期小了大概65mV；

交叉点比预期偏高70mV；

11，仿真拓扑：

SOC driver48ohm、电容负载1pF、micro dram with odt60、VDDIO 1.14V、Vrefdq为0.823V左右；





DQS触发眼图

低电平在0.5左右、高电平在1.14左右、交叉点在0.92V左右、不符合预期；

交叉点比预期偏高100mV；

结论：

无SOC model，单独测试micro no\_odt与with odt60，结果符合预期；

无SOC model，单独测试nanya no\_odt与with odt60，结果符合预期；

无DRAM model，单独测试soc drv34，外接60ohm上拉电阻模拟odt，结果不符合预期，眼图交叉点偏高140mv；

利用micro/nanya no\_odt model，测试soc drv34，结果符合预期；

利用micro/nanya with odt60 model，测试soc drv34，结果均不符合预期，眼图交叉点分别偏高110mv和90mv；

利用micro with odt120 model，测试soc drv34，结果不符合预期，眼图交叉点偏高70mv；

利用micro with odt60 model，测试soc drv48，结果不符合预期，眼图交叉点偏高100mv；

猜测：

soc ddr phy IO模型有误；

soc ddr phy IO对dram no odt模式支持比较好，但在dram odt模式下有点偏；

建议咨询下IP Vendor；